

Controls' Aspects for LHC Hardware Commissioning: Beam Interlocks (BIC)

Compte-rendu de la réunion du 4 fév. 2004

Participants : Pierre Charrue, Axel Daneels, Bruno Puccio

Généralités (Fig. 1. Layout BIC)

- Les systèmes BIC pour les lignes d'extraction TI8 (tests : 25 sept et 23 oct 2004) et TI2 (tests : 2007) ainsi que pour la machine LHC (tests : d'injection avril 2006) sont similaires. La principale différence se situant dans l'interface fibres optiques qui sera utilisée uniquement pour l'interlock du LHC. Les données sont collectées dans des châssis VME - LYNX/OS et accédées par l'intermédiaire d'Ethernet, via CMW vers la supervision JAVA. Ces châssis sont équipés de 3 cartes VME spécifiques développées par l'équipe BIC et d'un driver simple d'I/O fourni par la section FC. Le premier prototype est actuellement disponible. Synchronisation avec le « timing machine LHC ».
- Quantités de systèmes et de châssis à prévoir:
 - o TT40+TI8+TT41 : 6 BICs installés (pour diminuer les coûts) dans 3 châssis
 - o TI2 : 4 BICs installés dans 2 châssis
 - o LHC : 16 BICs installés dans 16 châssis
 - o EAN : 1 ou 2 châssis (plus tard)

Phases de Commissioning + Dates

1. Tests Labo : avril - juin 2004

Requêtes envers AB/CO:

- o Infrastructure « Labo » : Action (CO/FC), première version « à la PS » actuellement disponible, doit être réécrite avec interface FESA.
- o SW de supervision JAVA : Action (CO/AP), première version actuellement disponible, mais doit être adaptée à FESA.

2. Installation des systèmes BIC en TI8: juin - juillet 2004

3. Tests réels avec faisceau en TI8: 25 sept et 23 oct 2004

Requêtes envers AB/CO:

- o Châssis VME : 2 (des 3 prévus) : Action (CO/HT Guy Surback)
- o Alimentation électrique, UPS, Ethernet : responsabilité de l'Interlock Team
- o Réseau Ethernet: Action (CO/IN & CEIWG)
- o Data base: Action (CO/DM) et Interlock Team
- o Alarmes: Action (CO/IN) et Interlock Team
- o Logging: Action (CO/DM) et Interlock Team
- o Post-mortem: Action (CO/ ?? : ... R.Lauckner)
- o Time Stamping (Timing LHC) : Action (CO/HT)
- o Reset (Reboot): Action (CO/HT)

4. Installation des systèmes BIC en TI8/TT41: 2005

Requêtes envers AB/CO:

- o Cf liste précédente
- o Châssis VME : 1 supplémentaire, Action (CO/HT Guy Surback)

5. Installation des systèmes BIC en TI2 et LHC pour test injection LHC en avril 2006

Requêtes envers AB/CO:

- o Cf liste précédente

- Châssis VME : 4 pour TI2 + 3 (des 16) pour LHC, Action (CO/HT Guy Surback)

6. Installation du système BIC en LHC en vue de « first beam » 2007

Requêtes envers AB/CO:

- Cf liste précédente
- Châssis VME : 13 châssis restant, Action (CO/HT Guy Surback)
- Laptop W2K en mode Wireless en UA87, UA83, UJ76: Action (CO/IN)
- Logiciel de supervision plus élaboré: Action (CO/AP)

Résumé des Jalons pour CO

Milestones: Beam Interlock (BIC) Commissioning					
Phases		Qui	Start	Fin	Statut
Tests Labo			01/042004	28/07/2004	
1	Infrastructure "Labo"	CO/FC			disponible,mais à réécrire avec interface FESA
2	Logiciel de supervision JAVA	CO/AP			disponible, mais à adapté à FESA
Installation pour Tests en TI8 avec faisceau (25/09 et 23/10/2004);					
- en BA4					
- en PCR			01/04/2004	24/08/2004	
1	Chassis VME (2 des 3 prévus)	CO/HT Guy Surback			
2	Réseau Ethernet	CO/IN & CEIWG			
3	Data base	CO/DM & Interlock Team			
4	Alarmes	CO/IN & Interlock Team			
5	Logging	CO/DM & Interlock Team	01/04/2004	24/08/2004	
6	Post-mortem	CO/ ??: ... R.Lauckner			
7	Timing LHC	CO/HT			
8	Reset (Reboot)	CO/HT			
9	Installation de zone de « commissioning » en PCR	CO/IN			
Installation en TI8 / TT41			2005	2005	
1	Adapter liste précédente				
2	Chassis VME (1 suppl)	CO/HT Guy Surback	2005	2005	
Installation en TI2 et LHC pour tests injection LHC avril 2006			10/04/2006	21/04/2006	tentative dates
1	Adapter liste précédente				
2	Chassis VME (4 en TI2, 3 en LHC)	CO/HT Guy Surback			
Installation en TI2 et LHC pour "first beam" LHC en 2007			2007	2007	
1	Adapter liste précédente				
2	Chassis VME (13 en LHC)	CO/HT Guy Surback			
3	Laptop W2K en mode Wireless.	CO/IN			
4	Logiciel de supervision JAVA (complet)	CO/AP			

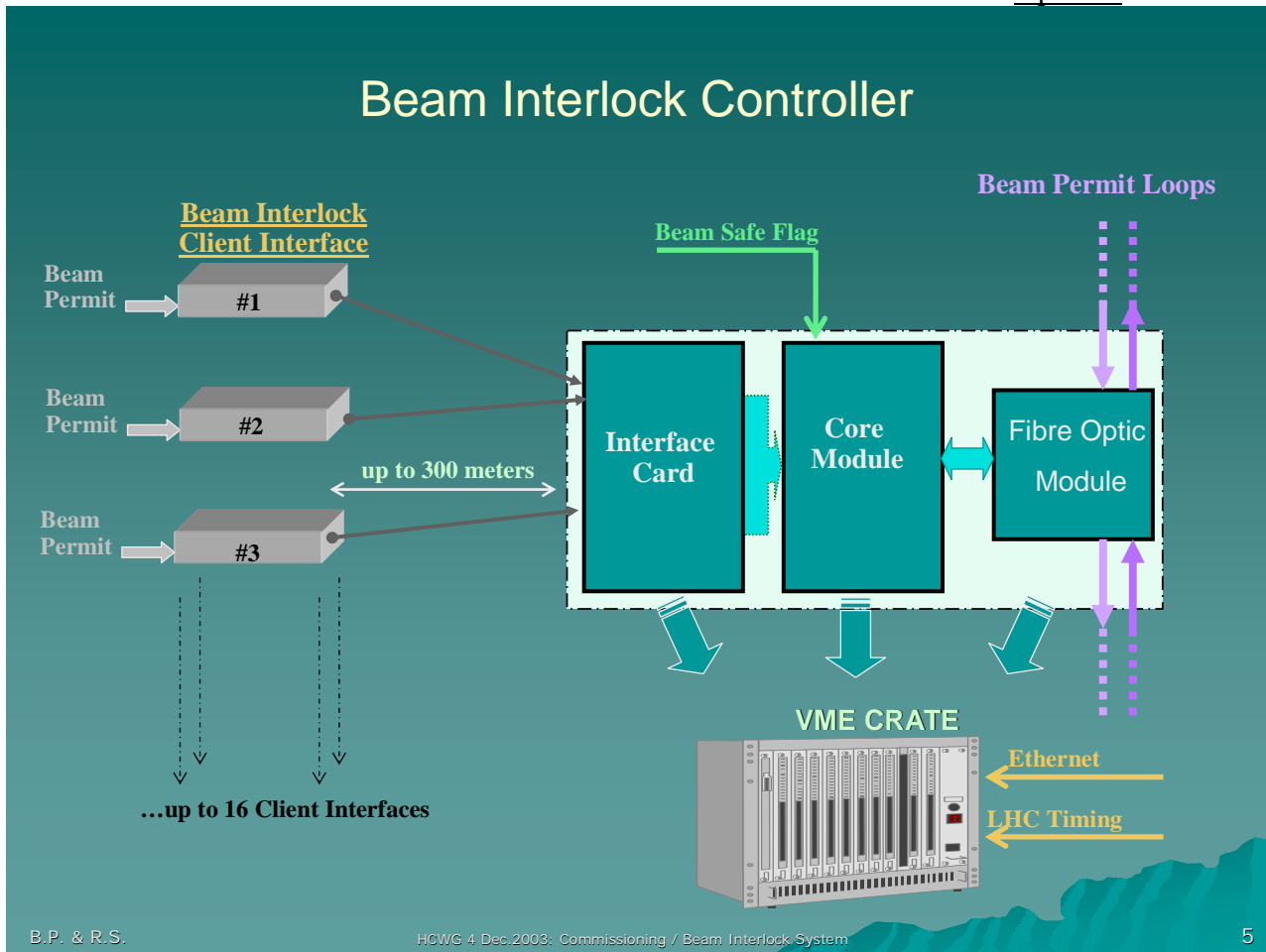


Fig.1 : Layout BIC